

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-079431

(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

H04N 7/24

H04N 5/14

H04N 5/262

H04N 5/91

(21)Application number : 05-174775

(71)Applicant : SONY CORP

(22)Date of filing : 22.06.1993

(72)Inventor : KONDO TETSUJIRO
NAKAYA HIDEO

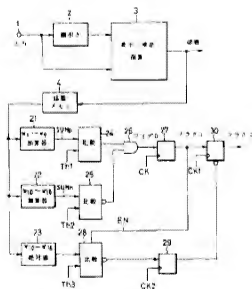
(54) SCENE CHANGE DETECTION CIRCUIT FOR DIGITAL PICTURE SIGNAL

(57)Abstract:

PURPOSE: To detect a scene change of a digital picture signal with high accuracy.

CONSTITUTION: A picture is deframed by an interleave circuit 2 and a least square method arithmetic operation circuit 3 decides a coefficient minimizing a square sum of errors when the picture of a deframed noticed frame is estimated by linear coupling of data between and preceding and succeeding frames. Coefficients corresponding to the preceding frame in the coefficients are added by an adder 21 and the sum SUMp is fed to a comparator 24.

Coefficients corresponding to the succeeding frame are added by an adder 22 and the sum SUMn is fed to a comparator 25. When the SUMp is large and a SUMn is small through the threshold level discrimination of the comparators 24, 28. The coefficient is decided to be an object of a scene change. When each of the absolute values of the succeeding coefficients is confirmed to be smaller, an object of the scene change is decided as the occurrence of the scene change.



特開平7-79431

(43) 公開日 平成7年(1995)3月20日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N	7/24			
	5/14	Z		
	5/262			
		7734-5C	H 0 4 N 7/ 13	Z
			5/ 91	N
審査請求 未請求 請求項の数4 F D (全 8 頁) 最終頁に続く				

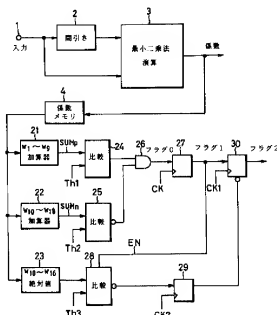
(21) 出願番号	特願平5-174775	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)6月22日	(72) 発明者	近藤 哲二郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中屋 秀雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 杉浦 正知

(54) 【発明の名称】 デジタル画像信号のシーンチェンジ検出回路

(57) 【要約】

【目的】 デジタル画像信号のシーンチェンジを高精度に検出する。

【構成】 間引き回路2により駒落としがされ、最小二乗法の演算回路3は、駒落としされた注目フレームの画像を前後のフレームのデータの線形1次結合でもって推定する時に、誤差の二乗和を最小とする係数を決定する。この係数の中で、前フレームと対応するものが加算器21で加算され、その和SUMpが比較器24に供給される。後フレームと対応する係数が加算器22で加算され、その和SUMnが比較器25に供給される。比較器24、28のしきい値判定によって、SUMpが大きく、SUMnが小さい時は、シーンチェンジの候補と決定する。絶対値とされた後側の係数のそれぞれが小さいことが確認される時に、シーンチェンジの候補をシーンチェンジの発生として決定する。



【特許請求の範囲】

【請求項1】 デジタル画像信号のシーンチェンジ検出回路において、

注目フレームの前および後のフレームに含まれる画素と係数の線形1次結合によって、上記注目フレームの入力デジタル画像信号を表現し、上記線形1次結合の係数を最小二乗法により計算するための演算手段と、前のフレームおよびその後のフレームのそれぞれの計算された係数に関して、上記注目フレームの推定に寄与する割合を検出し、検出された割合をしきい値判定することによって、シーンチェンジの発生を決定する手段とからなるシーンチェンジ検出回路。

【請求項2】 請求項1に記載のシーンチェンジ検出回路において、シーンチェンジ決定手段は、前または後のフレームの全ての上記係数が殆どである時に、シーンチェンジの発生を決定する手段をさらに有するシーンチェンジ検出回路。

【請求項3】 請求項1に記載のシーンチェンジ検出回路において、シーンチェンジ決定手段は、前および後のフレームの一方の係数の合計値が所定値より大である時に、一方のフレームの係数が推定に寄与する割合が大きいと決定するようにしたシーンチェンジ検出回路。

【請求項4】 請求項1に記載のシーンチェンジ検出回路において、シーンチェンジ決定手段は、前および後のフレームの一方の係数の合計値が所定値より小である時に、後のフレームの係数が推定に寄与する割合が小さいと決定するようにしたシーンチェンジ検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、デジタル画像信号を対象とするシーンチェンジ検出回路に関する。

【0002】

【従来の技術】 デジタル画像信号のシーンチェンジは、時間方向の画像の相関が断たれることを意味する。従って、予測符号化、輝度信号および色信号を分離するVTC分離、ノイズ除去回路等のデジタル画像信号の処理において、シーンチェンジ検出が必要とされる。また、デジタルVTR、ディスク記録装置等の画像記録装置において、シーンチェンジ直後の画像を記憶し、記録画像のインデックスとして使用することも可能である。

【0003】 従来のシーンチェンジ検出回路は、現フレームに属する複数の画素の値と前フレームに属する複数の画素の値とを、同一位置の画素同士との値の差分を求め、差分の絶対値(または二乗和)を計算し、これがしきい値より大きい場合には、シーンチェンジが発生したものと検出する方式が知られている。

【0004】

【発明が解決しようとする課題】 従来のシーンチェンジ検出回路は、照明等の影響によって画像の全体的な明るさが変わった時に、これを誤ってシーンチェンジと検出する問題があった。また、しきい値を正しく設定することが難しい問題があった。

【0005】 従って、この発明の目的は、より正確にシーンチェンジを検出することが可能なシーンチェンジ検出回路を提供することにある。

【0006】

【課題を解決するための手段】 この発明は、デジタル画像信号のシーンチェンジ検出回路において、注目フレームの前および後のフレームに含まれる画素と係数の線形1次結合によって、注目フレームの入力デジタル画像信号を表現し、線形1次結合の係数を最小二乗法により計算するための演算手段と、前のフレームおよびその後のフレームのそれぞれの計算された係数に関して、注目フレームの推定に寄与する割合を検出し、検出された割合をしきい値判定することによって、シーンチェンジの発生を決定する手段とからなるシーンチェンジ検出回路である。

【0007】

【作用】 時間的に連続する3フレームの画像を用い、中央の注目フレームの画像を前後のフレームのデータと係数の線形1次結合により表現する。誤差の二乗和が最小の係数が決定される。連続シーンでは、時間的および空間的な相関が存在するので、注目フレームの推定に対して、前後のフレームの寄与する割合が略等しい。一方、シーンチェンジが発生すると、この相関が断たれるので、前後のフレームの寄与する割合が大きく異なる。この相違が前のフレームに係数と後のフレームの係数とから識別できる。

【0008】

【実施例】 以下、この発明によるシーンチェンジ検出回路について説明する。この発明の理解を容易とするために、まず、時空間モデルで画像を記述することについて、図1を参照して説明する。

【0009】 図1は、1/2跳躍としのモデルを示し、T0、T1、T2は、時間的に連続する3フレームを示す。中央のフレームT1が跳躍としされるフレームである。後述するように、フレームT1がシーンチェンジの検出の対象とする注目フレームである。このフレームT1に含まれる画素の値xと前後のフレームT0および後のフレームT2の画素の値と係数の線形1次結合で表す。

【0010】 より具体的には、フレームT0およびT2から空間的に同一位置の(3×3)の領域をそれぞれ切り出す。2個の領域によって7つの3次元ブロックが構成される。以下により詳細に説明するように、フレームT1の中央の画素の値yが画素の値x₃と係数の線形1次結合モデルで表され、線形1次結合で表現されるデー

タの実データに対する誤差の二乗が最小となるように、係数が最小二乗法で決定される。1フレームで1組の係数が確定される。

【0011】図1に示す時空間モデルにおいて、2個の領域を含むブロック内には、合計で18個の画素が含まれる。この画素の値を x_i ($i=1, 2, \dots, 18$)とする。そして、画素のそれぞれに乘じられる係数は、 $w_1 \sim w_{18}$ と表す。フレームT1のブロックの中央の画素の値を y とすると、この値を他のフレームT0、T2の画素と係数の線形1次結合 $x_1 w_1 + \dots + x_{18} w_{18}$ によって表される。この線形1次結合モデルにおける係数 w_1 については、実際の値と線形1次結合で表される値との残差が最小になるものが求められる。

【0012】この未定係数 w_1 を決定するために、入力画像を空間方向（水平方向および垂直方向）に1画素ず

つずらした時の図1に示すブロックの画素の値 x_i ($i=1, \dots, n$)と補間対象画素の実際の値 y_j ($j=1, \dots, m$)をそれぞれ代入した線形1次結合の式を作成する。ここで例では、($n=18$)である。例えば1フレームに対して1組の係数を求める時には、1フレームの画像に対して、ブロックの切り出しを1画素ずつシフトすることによって、非常に多くの式、すなわち、1フレームの画素数($=m$)の連立方程式（観測方程式と称する）が作成される。18個の係数を決定するためには、最低で($m=18$)の連立方程式が必要である。方程式の個数 m は、精度の問題と処理時間との兼ね合いで適宜選定できる。観測方程式は、

$$XW=Y \quad (1)$$

である。ここで X 、 W 、 Y は、それぞれ下記の様な行列である。

【0013】

【数1】

$$X = \begin{bmatrix} x_{11} & x_{12} & \cdots & x_{1n} \\ x_{21} & x_{22} & \cdots & x_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ x_{m1} & x_{m2} & \cdots & x_{mn} \end{bmatrix}, \quad W = \begin{bmatrix} w_1 \\ w_2 \\ \cdots \\ w_n \end{bmatrix}, \quad Y = \begin{bmatrix} y_1 \\ y_2 \\ \cdots \\ y_m \end{bmatrix} \quad (2)$$

【0014】係数 w として、実際の値との誤差を最小にするものを最小二乗法により求める。このために、観測方程式の右辺に残差行列 E を加えた下記の残差方程式を作成する。すなわち、最小二乗法において、残差方程式

$$XW=Y+E, \quad E = \begin{bmatrix} e_1 \\ e_2 \\ \cdots \\ e_m \end{bmatrix} \quad (3)$$

における残差行列 E の要素の二乗、すなわち二乗誤差が最小になる係数行列 W を求める。

【0015】

【数2】

【0016】次に、残差方程式(3)から係数行列 W の各要素 w_i の最適値を見いだすための条件は、ブロック内の画素に対応する m 個の残差をそれぞれ二乗してその総和を最小にする条件を満足させればよい。この条件

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \cdots + e_m \frac{\partial e_m}{\partial w_i} = 0 \quad (i=1, 2, \dots, n) \quad (4)$$

【0018】 n 個の条件を入れてこれを満足する係数行列 W の要素である未定係数 w_1, w_2, \dots, w_n を見出せばよい。従って、残差方程式(3)より、

$$\frac{\partial e_i}{\partial w_1} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \cdots, \quad \frac{\partial e_i}{\partial w_n} = x_{in} \quad (i=1, 2, \dots, n) \quad (5)$$

は、下記の式(4)により表される。

【0017】

【数3】

【0019】

【数4】

【0020】となる。式(4)の条件を $1=1, 2, \dots, n$ について立てれば、それぞれ

$$\sum_{i=1}^n e_{i1}x_{i1}=0, \quad \sum_{i=1}^n e_{i2}x_{i2}=0, \quad \dots, \quad \sum_{i=1}^n e_{in}x_{in}=0 \quad (6)$$

【0022】が得られる。式(3)と式(6)から、下記の正規方程式が得られる。

$$\begin{cases} \left(\sum_{j=1}^m x_{j1}x_{j1} \right) w_1 + \left(\sum_{j=1}^m x_{j1}x_{j2} \right) w_2 + \dots + \left(\sum_{j=1}^m x_{j1}x_{jn} \right) w_n = \left(\sum_{j=1}^m x_{j1}y_j \right) \\ \left(\sum_{j=1}^m x_{j2}x_{j1} \right) w_1 + \left(\sum_{j=1}^m x_{j2}x_{j2} \right) w_2 + \dots + \left(\sum_{j=1}^m x_{j2}x_{jn} \right) w_n = \left(\sum_{j=1}^m x_{j2}y_j \right) \\ \vdots \\ \left(\sum_{j=1}^m x_{jn}x_{j1} \right) w_1 + \left(\sum_{j=1}^m x_{jn}x_{j2} \right) w_2 + \dots + \left(\sum_{j=1}^m x_{jn}x_{jn} \right) w_n = \left(\sum_{j=1}^m x_{jn}y_j \right) \end{cases} \quad (7)$$

【0024】正規方程式(7)は、丁度、未知数の数が n 個だけある連立方程式である。これにより、最確値たる各未定係数 w_i を求めることができる。正確には、式(7)における、 w_i にかかるマトリクスが正則であれば、解くことができる。実際には、Gauss-Jordanの消去法(別名、掃き出し法)を用いて未定係数 w_i を求めている。このようにして、注目フレームの画素を表すための係数が1フレームで1組確定する。

【0025】この実施例は、決定された係数を使用して、フレームT1およびT2間(すなわち、後側のシーンチェンジ)を検出する。図2は、連続シーンの場合、に、上述のようにして決定された係数の一例であり、また、図3は、後側でシーンチェンジが生じた時の係数の一例である。 $w_1 \sim w_9$ が前フレームの画素データ $x_1 \sim x_9$ にそれぞれ乗じられる係数であり、 $w_{10} \sim w_{13}$ が後フレームの画素データ $x_{10} \sim x_{13}$ にそれぞれ乗じられる係数である。シーンチェンジは、時空間の画像の相関を断つので、図3から分かるように、シーンチェンジが発生すると、後のフレームT2の画素データに対する係数が略0である。係数のかかる特徴に基づいてシーンチェンジを検出しようとするのがこの発明である。

【0026】図4は、この発明によるシーンチェンジ検出回路の一例のブロック図である。入力端子1からのデジタル画像データが間引き回路2に供給され、間引き処理がなされる。図1に示される1/2疎簿としがその一例である。間引き回路2からのフレームT0およびT2データが最小二乗法の演算回路3に供給される。

【0027】この演算回路3には、入力端子1から注目フレームT1の実データも供給される。最小二乗法の演算回路3では、図1に示すような時空間モデルに関し、最小二乗法のアルゴリズムによって、例えば1フレ

ームで1組の係数 w_i を決定する。演算回路3からは、確定係数が出力される。この係数が係数メモリ4に格納される。メモリ4に格納されている係数を使用して、後述のように、シーンチェンジの検出処理がなされる。演算回路3からの係数は、高効率符号化の出力データとして扱っても良い。すなわち、間引かれないデータと係数とを伝送し、受信側では、これらのデータから間引かれたデータを補完することができる。

【0028】ここで、図5は、最小二乗法の演算回路3のより詳細な構成を示す。入力デジタル画像信号が供給され、時空間モデルを構成するデータ、すなわち、対象画素の実データ y と線形1次結合に使用するデータ x_i を同時化するための時系列変換メモリ11が設けられている。時系列変換メモリ11からのデータが乗算器アレー12に供給される。乗算器アレー12に対して加算メモリ13が接続される。これらの乗算器アレー12および加算メモリ13は、正規方程式生成回路を構成する。

【0029】乗算器アレー12は、各画素同士の乗算を行ない、加算メモリ13は、乗算器アレー12からの乗算結果が供給される加算器アレーとメモリアレーとで構成される。図6は、乗算器アレー12の具体的構成である。図6において、その一つを拡大して示すように、四角のセルが乗算器を表す。乗算器アレー12において各画素同士の乗算が行われ、その結果が加算メモリ13に供給される。

【0030】加算メモリ13は、図7に示すように、加算器アレー13aとメモリ(またはレジスタ、以下同様)アレー13bとが直列接続され、メモリアレー13bの出力が加算器アレー13aに帰還される。これらの乗算器アレー12、加算器アレー13a、メモリアレー

13bによって積和演算がなされる。前述の正規方程式(7)の w_{ij} にかかる積和演算の項を見ると、右上の項を反転すると、左上と同じものとなる。従って、(7)式を左上から右下に向かって斜めによって斜めに分割し、上側の三角形部分に含まれる項のみを演算すれば良い。この点から乗算器アレー12、加算器アレー13a、メモリアレー13bは、図6および図7に示すように、上側の三角形部分に含まれる項を演算するのに必要とされる、乗算セルあるいはメモリセルを備えている。

【0031】以上のようにして、入力画像が到来するに従って積和演算が行われ、正規方程式が生成される。この正規方程式の各項の結果は、メモリアレー13bに記憶されており、次に図5に示すように、この正規方程式の各項が掃き出し法のCPU演算回路14に計算される。CPUを用いた演算によって正規方程式(連立方程式)が解かれ、最終値である係数が求まる。この係数が出力される。

【0032】図4に展って、この発明の特徴とするシーンチェンジ検出回路について説明する。係数メモリ4に格納されている係数が読出され、加算器21、22および絶対値化回路23に供給される。加算器21は、前フレームT0に関連する係数 $w_1 \sim w_9$ の和SUMp(= $w_1 + w_2 + \dots + w_9$)を生成し、加算器22は、後フレームT2に関連する係数 $w_{10} \sim w_{18}$ の和SUMn(= $w_{10} + w_{11} + \dots + w_{18}$)を生成する。絶対値化回路23は、係数 $w_{10} \sim w_{18}$ の値を絶対値へ変換する。

【0033】上述の図3の例のように、連続するシーンにおいては、SUMpおよびSUMnがそれぞれ0.5に近い値を示すことが多い。一方、図3の例のように、注目フレームの後側でシーンチェンジが発生した時には、SUMpが1に近い値を示し、SUMnが0に近い値を示すことが多い。これは、シーンチェンジによって、以前の画像との時空間の相関が断たれるからである。

【0034】そこで、第1段階の処理として、加算器21および22の出力を比較器24および25に供給し、しきい値Th1およびTh2と比較する。一例として、Th1=0.8、Th2=0.2に設定される。比較器24の出力(SUMp \geq Th1でハイレベル)と比較器25の出力を反転したもの(SUMn \leq Th2でハイレベル)とANDゲート26に供給される。ANDゲート26からのフラグ0がレジスタ27に供給され、レジスタ27から1クロック遅延されたフラグ1が発生する。

【0035】フラグ0(フラグ1)がハイレベルの時(は、SUMp \geq Th1)で、且つ(SUMn \leq Th2)を意味する。この条件が成立するものは、シーンチェンジの候補と判定する。若し、何れか一方の条件が成立しない時には、シーンチェンジの候補としない。

【0036】次に、シーンチェンジの候補が本当にシー

ンチェンジかどうかの確認のための第2の判定処理を行う。これは、後のフレームT2と対応する各係数の絶対値を調べ、全ての値があるしきい値Th3(例えば0.1)を超えなかった場合に、シーンチェンジであるとするものである。このため絶対値化回路23の出力が比較器28に供給され、しきい値Th3と比較される。比較器28に対しては、レジスタ27からのフラグ1がイネーブルENとして供給される。ENがハイレベルの場合、すなわち、第1の判定処理の結果がシーンチェンジの候補を意味する場合に、比較器28がアクティブである。

【0037】比較器28の比較出力を反転したものがレジスタ29を介してレジスタ30にリセット信号として供給される。このレジスタ30は、レジスタ27からのフラグ1を受け取って、最終的なフラグ2を出力する。このフラグ2は、ハイレベルでシーンチェンジの発生を指示し、ローレベルで連続シーンを指示する。従って、フラグ1がハイレベルで、また、レジスタ30がリセットされなければ、フラグ2がハイレベルとなり、このフラグ2がシーンチェンジの発生を指示することになる。

【0038】上述の比較器28の反転出力は、 $(|w_{10}| \sim |w_{18}| > Th3)$ の時に、ローレベルである。ローレベルの出力によって、レジスタ30がリセットされ、フラグ2がローレベルとなる。従って、 $|w_{10}| \leq Th3$ and $|w_{11}| \leq Th3$ and $|w_{12}| \leq Th3$ and \dots and $|w_{17}| \leq Th3$ and $|w_{18}| \leq Th3$

が満たされる時に、レジスタ30がリセットされず、その結果、シーンチェンジの候補がフラグ2として出力されることになる。

【0039】この例では、後側のシーンチェンジの発生を検出している。各フレームを注目フレームとする処理を順次行うことによって、全ての後側のシーンチェンジを検出することができる。シーンチェンジの検出結果は、入力信号に対して、1フレームと等しいか、またはそれ以上の遅れて生じる。この補償は、メモリまたは遅延回路によって補償できる。

【0040】1フレームおきのフレームを注目フレームとし、前および後のシーンチェンジを共に検出する構成も可能である。後側のシーンチェンジの発生は検出は、上述の実施例と同様になる。前側のシーンチェンジの発生は、下記の条件が成立する時に検出される。 $SUMp \leq Th2$ (例えば0.2) and $SUMn \geq Th1$ (例えば0.8)

【0041】さらに、時空間モデルとしては、図1に示すものに限られない。縁線1次結合のタッパ数を増やすことで、空間的な広がりが増し、画像の動きをシーンチェンジと誤って検出する可能性を低くできる。もっとも、タッパ数の増大は、計算時間の増加をもたらす問題がある。この問題に対処するには、サブサンプリングを

行えば良い。

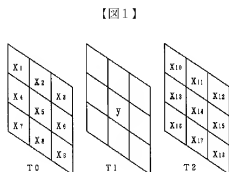
【0042】図8は、前後のフレームT0およびT2において、五の目格子状のサブサンプリングを行なう例である。このサブサンプリングによって、画素数を1/2に減少できるので、計算時間の増大を抑えながら、空間的広がりが増大させることができる。勿論、1/4サブサンプリング、1/8サブサンプリング等を採用することもできる。

【0043】

【発明の効果】以上の説明からも明らかなように、この発明によれば、照明等による明るさの変動の影響を受けずに、より正確にシーンチェンジを検出することができる。また、この発明は、伝送データ量を圧縮するために、サブサンプリングを行ない、伝送画素データと係数とを伝送するシステムにおいて、整合性が良いシーンチェンジ検出回路を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例における時空間モデルを説明するための略線図である。



【図2】

$w_1 = -0.02$	$w_2 = -0.02$	$w_3 = 0.00$	$w_{10} = 0.01$	$w_{11} = -0.01$	$w_{12} = 0.04$
$w_4 = 0.56$	$w_5 = -0.12$	$w_6 = 0.02$	$w_{13} = -0.05$	$w_{14} = 0.29$	$w_{15} = 0.30$
$w_7 = -0.01$	$w_8 = -0.02$	$w_9 = 0.00$	$w_{16} = -0.00$	$w_{17} = 0.01$	$w_{18} = 0.02$

【図3】

$w_1 = -0.02$	$w_2 = -0.02$	$w_3 = 0.00$	$w_{10} = 0.01$	$w_{11} = -0.01$	$w_{12} = 0.04$
$w_4 = 0.05$	$w_5 = 0.39$	$w_6 = 0.05$	$w_{13} = -0.05$	$w_{14} = 0.01$	$w_{15} = 0.00$
$w_7 = -0.01$	$w_8 = -0.02$	$w_9 = 0.00$	$w_{16} = -0.00$	$w_{17} = 0.01$	$w_{18} = 0.02$

【図2】連続シーンの場合の線形1次結合の係数の一例を示す略線図である。

【図3】後側でシーンチェンジが発生した場合の線形1次結合の係数の一例を示す略線図である。

【図4】この発明の一実施例のブロック図である。

【図5】最小二乗法の演算回路の一例のブロック図である。

【図6】最小二乗法の演算回路に含まれる乗算器アレーを説明するための略線図である。

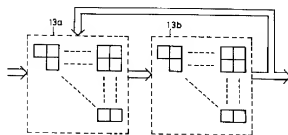
【図7】最小二乗法の演算回路に含まれる加算器アレーおよびメモリアレーを説明するための略線図である。

【図8】この発明を適用できる時空間モデルの他の例の略線図である。

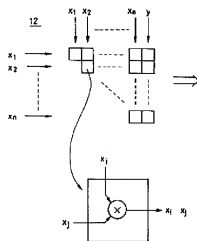
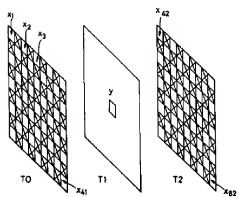
【符号の説明】

- 2 間引き回路
- 3 最小二乗法の演算回路
- 21、22 加算器
- 23 絶対値化回路
- 24、25、28 比較器

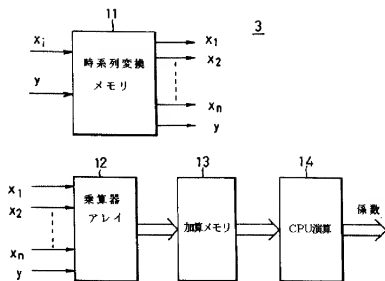
【図7】



【图6】



【図5】



フロントページの続き

(51)Int. Cl.⁶
H04N 5/91

識別記号 片内整理番号 FI

技術表示箇所